

A-1

非対称・メキシカンハット型の時間窓を示す結合荷重制御回路に対する検討

A Study on Weight Control Circuit with Time Window of Asymmetric and Mexican Hat Type

和田 慶介*1
Keisuke Wada

清水 亮*2
Ryo Shimizu

*1 日本大学理工学部

*2 日本大学大学院理工学研究科

College of Science and Technology, Nihon University

Graduate School of Science and Technology, Nihon University

1 まえがき

脳の学習・記憶機能は、シナプスの伝達効率に変化するシナプス可塑性によって実現されている。近年、シナプスの前細胞及び後細胞の発火の時間差に依存し、増強と抑圧が生じるシナプス可塑性である、STDP (Spike Timing Dependent synaptic Plasticity) が発見された。STDP は、シナプス前細胞が先に発火した場合には増強、後に発火した場合には抑圧が生じる非対称な時間窓特性[1]、及び、シナプス前細胞が先に発火した場合、増強が生じた後に抑制性細胞の刺激による抑圧、後に発火した場合には抑圧が生じるメキシカンハット型の時間窓特性が確認されている[2][3]。

我々は、既に、生理学で報告されている非対称型、メキシカンハット型の時間窓を示すシナプス結合荷重制御回路を提案している[4][5]。脳の学習機能をハードウェアモデルで実現するために、抑制性細胞の刺激の有無によって変化する時間窓特性に着目し、双方の特性が得られる結合荷重制御回路に対する検討を行った。

2 本論

図 1 に今回提案するシナプス結合荷重制御回路を示す。図中の pre, post 端子はシナプス前細胞、後細胞からパルス入力を受ける端子である。容量 C_1, C_2, C_3 及び MOSFET, M_2, M_8, M_{12} は pre, post 端子からのパルス入力を時間的に遅延させる。さらに、バッファに接続した M_6 、インバータに接続した M_{10}, M_{14} はスイッチングを行う。同様に、 M_a 及び M_b は CMOS インバータとして用いる。抑制性刺激を受けない場合、 M_a はオフで M_b はオンとなり、非対称型の特性が得られる。また、刺激を受けた場合、 M_a はオンで M_b はオフとなり、メキシカンハット型の特性が得られる。双方の特性を得るには、ゲートにかかるバイアス電圧 V_i で制御する。

図 2 に V_i をパラメータとした時の特性を示す。同図の横軸は pre, post 端子から入力されるパルスの時間差 t 、縦軸は出力電圧 V_w の変化量 V_w を示す。回路定数は、 $V_{dd} = 3.0[V]$ 、 $M_1, M_2, M_4, M_5, M_6, M_{10}, M_{11}, M_{12}, M_{14}, M_a, M_b$: $W/L = 1$ 、 M_3, M_{13} : $W/L = 1.1$ 、 M_7 : $W/L = 0.5$ 、 M_8 : $W/L = 2.7$ 、 M_9 : $W/L = 15$ とした。同図 (a) は、 $V_i = 1[V]$ の特性で、 $t < 0$ では V_w が上昇するのに対し、 $t = 0$ では V_w が低下することを示している。同図 (b) は、 $V_i = -1[V]$ の特性で、 $t < 0$ 及び $t = 1[\mu s]$ では V_w が上昇するのに対し、 $0 < t < 1[\mu s]$ では低下することを示している。

次に、 $1.2\mu m$ デザインルールを参考に、既に提案した非対称型とメキシカンハット型の時間窓を示す、それぞれの回路[4][5]を組み合わせた場合の面積と、今回提案した回路の面積の比較検討を行った。非対称型とメキシカンハット型の時間窓を示す、それぞれの回路を組み合わせた場合の面積が $2.33mm^2$ に対し、今回提案した回路の面積は $1.47mm^2$ であった。このことは、今回提案した回路が、非対称型とメキシカンハット型の時間窓を示す、それぞれの回路を組み合わせた場合よりも面積が約 40%削減可能であることを示している。

3 まとめ

今回、脳の学習機能をハードウェアモデルで実現するために、抑制性細胞の刺激の有無によって変化する時間窓特性に着目し、双方の時間窓特性が得られるシナプス結合荷重制御回路の検討を行った。その結果、CMOS インバータ

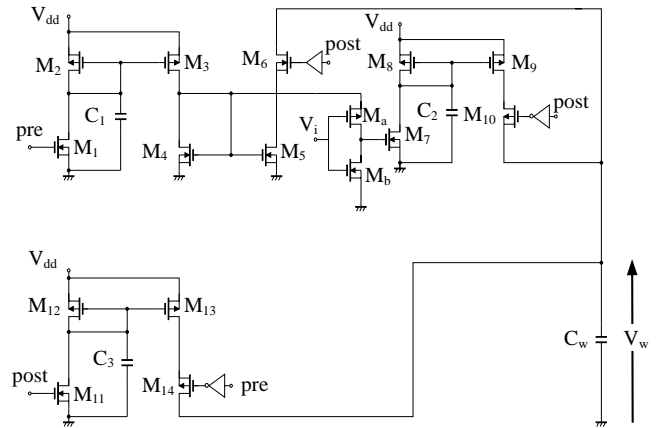
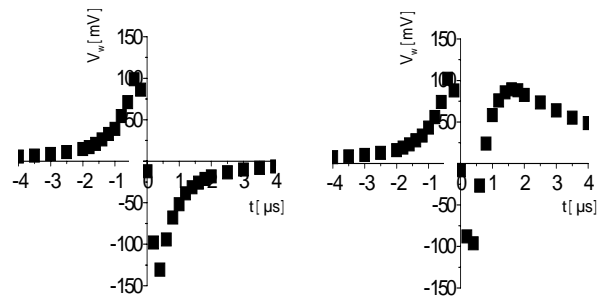


図 1 シナプス結合荷重制御回路



(a) $V_i = 1[V]$ (b) $V_i = -1[V]$

図 2 V_i をパラメータとした時の $t - V_w$ 特性

を挿入し、ゲートにかかるバイアス電圧を制御することで、STDP の非対称型とメキシカンハット型の時間窓特性が得られることを明らかにした。また、今回提案した回路を用いることで、既に提案した非対称型とメキシカンハット型の時間窓を示す、それぞれの回路を用いる場合より、面積が約 40%削減できることを明らかにした。

今後は、提案回路を用いて、ニューラルネットワークを構築し、応用として連想記憶回路について検討を行う予定である。

参考文献

- [1]G.Bi and M.Poo, "Synaptic modifications in cultured hippocampal neurons, Dependent on spike timing synaptic strength, and postsynaptic Cell Type", J. Neurosci, 18, pp.10464-10472, 1998.
- [2]Nishiyama, M. Hong, K., Mikoshiba K., Poo, M-m, & Kato, K, "Calcium stores regulate the polarity and input specificity of synaptic modification", Nature, vol.408, pp.584-588, 2000.
- [3] 柏木康利, 阿蘇洋一, 渡辺秀典, 相原威, 塚田稔, "海馬 CA1 野における STDP とカルシウム流入量との関係", 信学技報, NC2003-135, pp1-4, 2004.
- [4] 林祐吾, 佐伯勝敏, 関根好文, "STDP を有したパルス形ハードウェアニューラルネットワークの位相揺らぎに対するロバスト性", 信学ソ大, A-1-25, p25, 2006.
- [5] 清水亮, 林祐吾, 佐伯勝敏, 関根好文, "メキシカンハット型の時間窓を示すハードウェアモデルの構築", 信学ソ大, A-1-29, p.29, 2006.